

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-172382

(43)Date of publication of application : 02.07.1996

(51)Int.CI.

H04B 3/10

(21)Application number : 06-317333

(71)Applicant : FUJITSU LTD

(22)Date of filing : 20.12.1994

(72)Inventor : KAKO TAKASHI

OKITA RYOJI

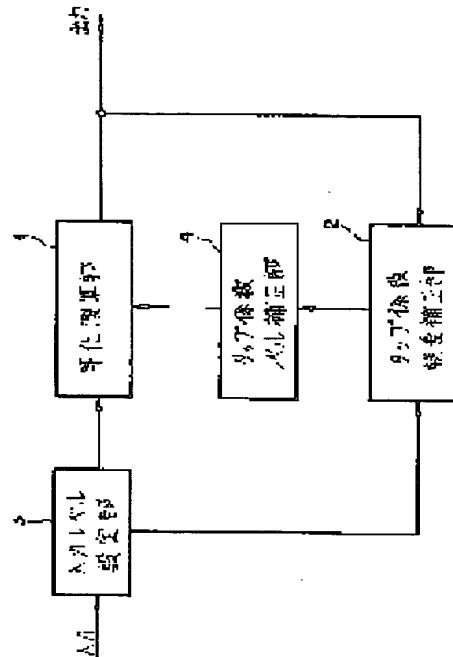
MIYAZAWA HIDEO

(54) AUTOMATIC EQUALIZER

(57)Abstract:

PURPOSE: To acquire an equalized signal of high precision by keeping the precision of error correction of a tap coefficient high even in the case of the use of an extrahigh-speed modem where the number of taps is very large.

CONSTITUTION: An equalizing operation part 1 having plural delay parts, a tap coefficient multiplication part, and a sum total operation part and a tap coefficient error correction part 2 which corrects the error about the tap coefficient for the equalizing operation part 1 based on the equalizer input and the equalizer output are provided, and an input level setting part 3 is provided which sets the input signal to the equalizing operation part 1 and that to the tap coefficient error correction part 2 to levels different from each other.



LEGAL STATUS

[Date of request for examination] 18.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-172382

(43)公開日 平成8年(1996)7月2日

(51)Int.Cl.⁶

識別記号

府内整理番号

F I

技術表示箇所

H 04 B 3/10

B

審査請求 未請求 請求項の数6 OL (全18頁)

(21)出願番号 特願平6-317333

(22)出願日 平成6年(1994)12月20日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 加來 尚

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 置田 良二

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 宮澤 秀夫

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74)代理人 弁理士 真田 有

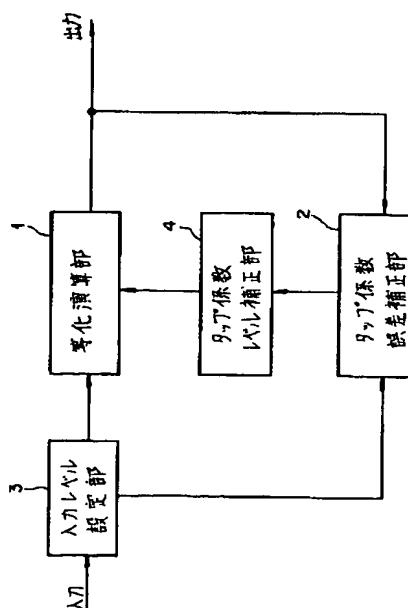
(54)【発明の名称】 自動等化器

(57)【要約】

【目的】 本発明は、自動等化器に関し、タップ数が非常に多くなる超高速モデムに用いた場合にも、タップ係数の誤差補正の精度を高く保って高精度な等化信号が得られるようにすることを目的とする。

【構成】 複数の遅延部、タップ係数乗算部及び総和演算部を有する等化演算部1と、この等化演算部1のためのタップ係数についての誤差を等化器入力と等化器出力とに基づいて補正するタップ係数誤差補正部2とをそなえ、等化演算部1への入力信号レベルと、このタップ係数誤差補正部2への入力信号レベルとを異なったレベルに設定する入力レベル設定部3を設けるように構成する。

本発明の原理プロセス図



【特許請求の範囲】

【請求項 1】 複数の遅延部、タップ係数乗算部及び総和演算部を有する等化演算部と、該等化演算部のためのタップ係数についての誤差を等化器入力と等化器出力とに基づいて補正するタップ係数誤差補正部とをそなえ、該等化演算部への入力信号レベルと該タップ係数誤差補正部への入力信号レベルとを異なったレベルに設定する入力レベル設定部が設けられたことを特徴とする、自動等化器。

【請求項 2】 該入力レベル設定部が、入力信号を 2 系統に分岐する分岐部と、該分岐部で分岐された該等化演算部への信号についてのレベルを変更するレベル変更部とをそなえて構成されていることを特徴とする請求項 1 記載の自動等化器。

【請求項 3】 該レベル変更部が、等化器出力の誤差補正に必要なビット精度を確保しうるように、該等化演算部への信号についてのレベルを変更することを特徴とする請求項 2 記載の自動等化器。

【請求項 4】 該分岐部で分岐された該タップ係数誤差補正部への信号は、該等化演算部での遅延に対応して遅延を施されて該タップ係数誤差補正部へ供給されるよう構成していることを特徴とする請求項 2 記載の自動等化器。

【請求項 5】 等化器のループゲインが 1 以下となるように、該タップ係数誤差補正部の出力レベルを補正するタップ係数レベル補正部が設けられていることを特徴とする請求項 1 記載の自動等化器。

【請求項 6】 該タップ係数レベル補正部が、該等化器への入力信号に基づき、且つ、タップ数を考慮して、該タップ係数誤差補正部の出力レベルを補正するように構成していることを特徴とする請求項 5 記載の自動等化器。

【発明の詳細な説明】

【0001】 (目次)

産業上の利用分野

従来の技術 (図 1 1)

発明が解決しようとする課題 (図 1 1)

課題を解決するための手段 (図 1)

作用 (図 1)

実施例 (図 2 ~ 図 1 0)

発明の効果

【0002】

【産業上の利用分野】 本発明は、受信信号の伝送歪みなどを自動的に等化する自動等化器に関し、特に、超高速な伝送速度をもったモデルに用いて好適な、自動等化器に関する。

【0003】

【従来の技術】 従来より、データの伝送に使用するモデル (変復調装置) として、各種の伝送速度に対応したも

のが提供されている。一般的には、勧告 V. 29 で示される通信速度が 9 6 0 0 b i t / s e c (9. 6 k b p s)、または 1 4. 4 k b p s に対応するモデルが広く実用化されてきているが、近年の通信速度の高速化に伴い、データの伝送速度が 2 8. 8 k b p s という超高速なモデルの開発も盛んに行なわれている。

【0004】 ところで、このようなモデルには、通常、データを受信する際、伝送歪みによるデータ (信号) の劣化を補償するために、図 1 1 に示すような自動等化器 (以下、単に等化器ということがある) が用いられる。この図 1 1 において、1 0 1 は自動利得制御部 (A G C) であり、1 0 2 は自動等化器であり、1 0 3 は信号判定部である。ここで、自動利得制御部 1 0 1 は、入力される復調信号のレベルが所定の参照値となるようにループゲインを調整して後段の自動等化器 1 0 2 へ入力する受信信号のレベルを自動調整するもので、後段の自動等化器 1 0 2 が正確に動作するように用いられている。

【0005】 自動等化器 1 0 2 は、回線の伝送歪み等を補正するために等化処理を施すもので、このため、等化器演算部 1 0 2 1 とタップ係数誤差補正部 1 0 2 2 とで構成されている。ここで、等化器演算部 1 0 2 1 は、周知のように、自動利得制御部 1 0 1 からの復調信号に対して時間的に遅延を施すための複数の遅延部、これら複数の遅延部で遅延された信号と後述するタップ係数誤差補正部 1 0 2 2 からの誤差情報 (誤差信号) とを乗算するタップ係数乗算部及びこれらの乗算結果の総和をとる総和演算部からなっており、この総和演算部での演算結果が等化後信号として出力されるようになっている。

【0006】 また、タップ係数誤差補正部 1 0 2 2 は、2 分岐させた自動利得制御部 1 0 1 の出力の一方と、後述する信号判定部 1 0 3 からの誤差情報 (誤差信号) とから等化器演算部 1 0 2 1 におけるタップ係数の値を最適な値に補正するよう制御信号を等化器演算部 1 0 2 1 へ出力するものである。さらに、信号判定部 1 0 3 は、入力信号に対応する疑似参照信号を出力して後段の信号判定のための前置処理を施すもので、自動等化器 1 0 2 のタップ係数誤差補正部 1 0 2 2 のための疑似参照信号も生成して出力するようになっており、更に、等化器 1 0 2 の出力と自己 (信号判定部 1 0 3) の判定結果出力を負加算 (つまり、減算) することにより、誤差信号がタップ係数 1 0 2 2 へ出力されるようになっている。なお、1 0 4 は加算器であり、信号判定部 1 0 3 の入出力信号を負加算 (減算) することにより、タップ係数誤差補正部 1 0 2 2 のための誤差信号を得るものである。

【0007】 このような構成により、この図 1 1 に示す自動等化器では、自動利得制御部 1 0 1 により利得を一定に保たれた復調信号が、等化器演算部 1 0 2 1 へ入力され、等化器演算部 1 0 2 1 では、タップ係数誤差補正部 1 0 2 2 で得られる制御信号に応じてタップ係数が最適な値に補正されることにより、入力信号に対する正確

な等化が行なわれるようになっている。

【0008】また、このときタップ係数誤差補正部1022では、等化器102へ入力される等化前の信号と、等化器102からの過去の出力と信号判定部103の判定結果出力とが、加算器104で負加算されることにより得られた誤差信号とに対して乗算や加算などの所要の処理が施され、これにより得られた信号が制御信号として等化器演算部1021へ出力されるようになっている。

【0009】つまり、従来の自動等化器は、等化器102への入力データ（信号）と誤差補正に使用するタップ係数誤差補正部1022への入力データとが共通に使用されるようになっているのである。

【0010】

【発明が解決しようとする課題】ところで、このような従来の自動等化器102を、例えば、伝送速度が28.8 kbpsという超高速なモードにも用いるためには、等化器102のタップ数を大幅に増やすとともに、等化器102のループゲインを1以下に保てるように、入力データのレベルを下げなければならない。

【0011】しかしながら、このように等化器102への入力データのレベルを下げる、この入力データを共通に用いているタップ係数誤差補正部1022でのタップ係数の誤差補正の精度が悪くなり、等化器102の精度も落ちてしまうという課題が生じる。本発明は、このような課題に鑑み創案されたもので、タップ数が非常に多くなる超高速な伝送速度をもったモードなどに用いた場合にも、タップ係数の誤差補正の精度を高く保ち、高精度な等化処理を行なうことができるよう目的とした。

【0012】

【課題を解決するための手段】図1は本発明の原理ブロック図で、この図1において、1は等化演算部、2はタップ係数誤差補正部、3は入力レベル設定部、4はタップ係数レベル補正部である。なお、等化演算部1は、図示しない複数の遅延部、タップ係数乗算部及び総和演算部を有している。

【0013】ここで、タップ係数誤差補正部2は、等化演算部1のためのタップ係数についての誤差を等化器入力と等化器出力に基づいて補正するものであり、入力レベル設定部3は、等化演算部1への入力信号レベルとタップ係数誤差補正部2への入力信号レベルとを異なったレベルに設定するものである（請求項1）。このため、入力レベル設定部3は、入力信号を2系統に分岐する分岐部と、この分岐部で分岐された等化演算部1への信号についてのレベルを変更するレベル変更部とをそなえて構成され（請求項2）、さらに、このレベル変更部が、等化器出力の誤差補正に必要なビット精度を確保するように、等化演算部1への信号についてのレベルを変更するように構成される（請求項3）。

【0014】また、このとき、入力レベル設定部3における分岐部で分岐されたタップ係数誤差補正部2への信号は、等化演算部1での遅延に対応して遅延を施されて該タップ係数誤差補正部2へ供給されるように構成されている（請求項4）。さらに、タップ係数レベル補正部4は、等化器のループゲインが1以下となるように、タップ係数誤差補正部2の出力レベルを補正するものであり（請求項5）、このため、このタップ係数レベル補正部4は、等化器への入力信号に基づき、且つ、タップ数を考慮して、タップ係数誤差補正部2の出力レベルを補正するように構成されている（請求項6）。

【0015】

【作用】そして、この図1に示す本発明の自動等化器では、等化演算部1により入力信号に対して等化を施す際、入力レベル設定部3により、等化演算部1への入力信号レベルとタップ係数誤差補正部2への入力信号レベルとを異なったレベルに設定し、この等化器演算部1への入力信号とは異なるレベルに設定された信号に基づいて、タップ係数誤差補正部2により、等化演算部1のためのタップ係数についての誤差を補正することができる。

【0016】つまり、入力レベル設定部3で等化演算部1への入力信号レベルとタップ係数誤差補正部2への入力信号レベルとを異なったレベルに設定することにより、等化演算部1での等化処理とタップ係数誤差補正部2での誤差補正処理とを、それぞれ異なるレベルの信号を用いて行なうことができる（請求項1）。そして、具体的に、入力レベル設定部3では、分岐部により入力信号が2系統に分岐され、レベル変更部によりこの分岐部で分岐された等化演算部1への信号についてのレベルが変更されるが（請求項2）、このとき等化器出力の誤差補正に必要なビット精度を確保するように、等化演算部1への信号についてのレベルが変更される（請求項3）。

【0017】また、入力レベル設定部3における分岐部で分岐されたタップ係数誤差補正部2への信号は、等化演算部1での遅延に対応して遅延が施されてタップ係数誤差補正部2へ供給されることにより、タップ係数誤差補正部2での2つの信号の入力タイミングが合わせられる（請求項4）。さらに、タップ係数レベル補正部4では、等化器のループゲインが1以下となるように、タップ係数誤差補正部2の出力レベルが補正されるが（請求項5）、この場合は、等化器への入力信号に基づき、且つ、等化器のタップ数を考慮して、タップ係数誤差補正部2の出力レベルが補正される（請求項6）。

【0018】

【実施例】以下、図面を参照して本発明の実施例を説明する。さて、図2は本発明の一実施例にかかるオンラインシステムのブロック図であるが、この図2に示すオンラインシステムでは、ホスト（コンピュータ）10に通

信制御装置（C C P）（図示せず）を介しモデム 1 2 が接続されており、更にこのモデム 1 2 には、アナログ回線（専用回線）1 4 を介して他の場所に設置されたモデム 1 2' が接続されている。そして、モデム 1 2' に、ワークステーションとしての端末 1 6 A～1 6 C が接続されている。

【0 0 1 9】ここで、モデム 1 2, 1 2' は、伝送速度が例えば 28.8 k b p s という超高速モデムとして構成され、例えば 3 つのメインデータのためのメインチャネルと、ネットワーク監視用セカンダリデータのためのセカンダリチャネルとを時分割処理し更に変調処理を施して、非ナイキスト伝送方式で送信するとともに、受信信号を復調して各データ（メインデータ、セカンダリデータ）を再生するものである。また、モデム 1 2, 1 2' は、周知のように、データを送信する前に、トレーニングデータを送信し、このトレーニングデータを使用して、受信部の初期化処理を施すことができるようになっている。

【0 0 2 0】そして、親局としてのモデム 1 2 は、上記のような機能を発揮するために、図 4 に示すように、変調機能付き送信部 2 0 及び復調機能付き受信部 2 2 をそなえ、送信部 2 0 の出力側に、図示しない送信用ローパスフィルタや送信増幅器が設けられるとともに、受信部 2 2 の入力側に、図示しない受信増幅器や受信用ローパスフィルタが設けられている。

【0 0 2 1】また、送信部 2 0 や受信部 2 2 は、図 3 に示すように、マイクロプロセッサユニット（M P U）2 4 やデジタルシグナルプロセッサ（D S P）2 6, D/A 変換器 2 8, A/D 変換器 2 9 をそなえて構成されている。なお、送信部 2 0 や受信部 2 2 を構成する M P U 2 4 や D S P 2 6 は、その容量や処理能力によって、適宜複数個設けられる。

【0 0 2 2】さらに、このモデム 1 2 の要部を詳細に説明する。すなわち、図 4 に示すように、まず、このモデム 1 2 の送信部 2 0 は、シリアル／パラレル変換器（S/P 変換器）3 0, スクランブル（S C R）3 2 A, 3 2 B, 和分演算部 3 4 A, 3 4 B, トレリスコード変調部（T C M）3 6, 信号点発生部 3 8 A, 3 8 B, フレーム回転部 4 0, ロールオフフィルタ（R O F）4 2, 変調部 4 4, 固定等化部（E Q L）4 6, アテネータ（A T T）4 8, 制御部としてのシーケンサ（S E Q）5 0 等をそなえている。

【0 0 2 3】ここで、シリアル／パラレル変換器 3 0 はメインチャネルデータ S D m をシリアル／パラレル変換するもので、スクランブル 3 2 A, 3 2 B は信号（メインチャネルデータ S D m やセカンダリデータ S D s, プリエンファシスデータ）をランダム化するものである。また、和分演算部 3 4 A はスクランブル 3 2 A の出力について和分演算を施すものであり、和分演算部 3 4 B はスクランブル 3 2 B の出力について和分演算を施すもの

であり、更に加えて、この和分演算部 3 4 B はトレーニング時に使用するグレー／ナチュラルコード変換（G/N 変換）機能も有しているが、このように和分演算部 3 4 A, 3 4 B において両データについてそれぞれ和分演算を施すのは送信データを前後の相対差データとして送信するためである。また、トレリスコード変調部 3 6 は誤り訂正するための処理を施すものである。

【0 0 2 4】信号点発生部 3 8 A, 3 8 B は、メインデータ S D m 及びセカンダリデータ S D s について所望の信号点を発生させるもので、初期化時には、シーケンサ 5 0 からの制御信号を受けて、トレーニングデータを生成する。フレーム回転部 4 0 は同期外れの場合に引き込み直すためにフレームを回転させるもので、ロールオフフィルタ 4 2 は、デジタル出力について所定周波数範囲の信号だけを通過させるもので、ローパスフィルタの機能を有する。

【0 0 2 5】変調部 4 4 は、ロールオフフィルタ 4 2 の出力について変調処理を施すもので、そのキャリア周波数は例えば 1 8 5 0 H z に設定される。固定等化部 4 6 は遅延や回線上の振幅成分等を等化するもので、アテネータ 4 8 は固定等化部 4 6 の出力についてレベル調整を行なうものである。また、制御部としてのシーケンサ 5 0 は、送信部 2 0 の各機能部 3 0 ～ 4 8 の制御を行なうものであるが、初期化時には、信号点発生部 3 8 A, 3 8 B に、トレーニングデータを生成させるような制御を行なう。

【0 0 2 6】なお、送信部 2 0 におけるスクランブル 3 2 A, 3 2 B, 和分演算部 3 4 A, 3 4 B, トレリスコード変調部 3 6, 信号点発生部 3 8 A, 3 8 B, フレーム回転部 4 0, シーケンサ 5 0 は、M P U 2 4 がその機能を有し、ロールオフフィルタ 4 2, 変調部 4 4, 固定等化部 4 6, アテネータ 4 8 は、D S P 2 6 がその機能を有する。

【0 0 2 7】また、このモデム 1 2 の受信部 2 2 は、固定等化器 5 2, 復調部 5 4, ロールオフフィルタ（帯域分離フィルタ）5 6, 自動利得制御部（A G C）5 8, 自動等化器（E Q L）6 0, キャリア位相補正部（C A P C）6 2, 硬判定部 6 4 A, フレーム逆回転部 6 6, 軟判定部 6 4 B, 信号点判定部 6 8 A, 6 8 B, 差分演算部 7 0 A, 7 0 B, デスクランブル 7 2 A, 7 2 B をそなえるとともに、キャリア検出部（C D）8 0, トレーニングデータ検出部（T R G）8 2, インパルス再生部 8 4, インパルス検出部 8 4 A, タイミング抽出部 8 6, タイミングロック部 8 8 及び制御部としてのシーケンサ 9 0 等をそなえている。

【0 0 2 8】ここで、固定等化器 5 2 は遅延や回線上の振幅成分等を等化するもので、復調部 5 4 は A/D 変換器 2 9 でデジタル変換された受信信号に復調処理を施すもので、ロールオフフィルタ 5 6 は、復調部 5 4 からのデジタル出力について所定周波数範囲の信号だけを通過

させるもので、本実施例では、例えばデシメーションフィルタが使用される。

【0029】自動利得制御部58は、ロールオフフィルタ56によって帯域制限された復調信号のレベルが所定の参照値となるようにループゲインを調整して後段の自動等化部60へ入力する受信レベル自動調整手段を構成するもので、後段の自動等化部60を正確に動作させるために必要なものである。自動等化器60は回線の伝送歪み等を補正するために等化処理を施すものであり、キャリア位相補正部62は自動等化器60の出力から周波数オフセットや位相ジッタあるいは位相切片変動を予測しこれらを除去（あるいは抑制）してキャリア位相を補正するものである。

【0030】硬判定部64Aは入力信号に対応する疑似参照信号を出力するもので、軟判定部64Bは硬判定部64Aからの疑似参照信号を受けてビタビ復号等を施して誤り訂正を施すもので、これらの硬判定部64A、軟判定部64Bは前置の信号判定部として機能する。フレーム逆回転部66は同期外れを保護するために設けられるもので、信号点判定部68Aはメインデータについての信号点を判定するもので、信号点判定部68Bは、通常時にはセカンダリデータについての信号点を判定する一方、トレーニング時にはフレーム逆回転部66の出力（軟判定部64Bでの判定は行なっていないセカンダリデータ）について4値を判定するものである。

【0031】差分演算部70Aは、信号点判定部68Aからの出力について差分演算を施すものであり、差分演算部70Bは、信号点判定部68Bからの出力について差分演算を施すものであり、更に加えて、この差分演算部70Bは、トレーニング時に使用するグレー／ナチュラルコード変換（G／N変換）機能も有しているが、これらの差分演算部70A、70Bは、送信相対差データを元に戻す機能を有する。

【0032】デスクランプ72A、72Bはスクランプ32A、32Bでランダム処理された信号を元に戻して、メインデータRDm、セカンダリデータRDsとして出力するものである。キャリア検出部80は、キャリアを検出してデータが受信されたかどうかを検出するもので、このキャリア検出部80の出力はシーケンサ90へ供給されるようになっている。

【0033】トレーニングデータ検出部82は、トレーニングデータを検出してトレーニングの始まりを検出するもので、やはりこのトレーニングデータ検出部82の出力もシーケンサ90へ供給されるようになっている。インパルス再生部84は、トレーニングデータからインパルスを再生するもので、所望のインパルスを再生することができるようになっている。インパルス検出部84Aは、インパルス再生部84で再生されたインパルスを検出するもので、このインパルス検出部84Aの出力もシーケンサ90へ供給されるようになっている。

【0034】タイミング再生部86は、自動利得制御部58の出力から信号タイミングを抽出して、信号タイミングがどこにあるのかを判定するもので、タイミングロック部88はタイミング再生部86からの出力をPLL回路を用いてロックするものである。また、制御部としてのシーケンサ90は、受信部22の各機能部52～88の制御を行なうものである。

【0035】なお、図4のセカンダリデータ送受信系において、鎖線で示すラインはトレーニング時のものを示す。また、送信部22における固定等化器52、復調部54、ロールオフフィルタ56、自動利得制御部58、自動等化器60、キャリア位相補正部62、硬判定部64A、フレーム逆回転部66、軟判定部64B、キャリア検出部80、トレーニングデータ検出部82、インパルス再生部84、インパルス検出部84A、タイミング抽出部86、タイミングロック部88は、DSP26がその機能を有し、送信部22における信号点判定部68A、68B、差分演算部70A、70B、デスクランプ72A、72Bは、MPU24がその機能を有する。

【0036】なお、子局としてのモード12'の構成も、親局としてのモード12の構成と同じであるので、その構成についての説明は省略する。以下、上述のごとく構成されたオンラインシステム全体の動作について述べる。すなわち、まず、送信部20では、シリアル／パラレル変換器30にて、メインチャネルデータSDmが、シリアル／パラレル変換され、更にスクランブル32Aでスクランブル化処理を施されたのち、和分演算部34Aにて、スクランブル32Aの出力が和分演算を施されて、相対差データとして生成され、トレリスコード変調部36で誤り訂正するための処理が施され、信号点発生部38Aで、所望の信号点を発生せしめられる。

【0037】一方、セカンダリデータSDsも、スクランブル32bでスクランブル化処理を施されたのち、和分演算部34Bで、和分演算が施されて、相対差データとして生成され、信号点発生部38Aで、所望の信号点が発生せしめられる。その後、両信号は、フレーム回転部40を経由し、ロールオフフィルタ42で、フィルタリング処理が施され、変調部44で、変調処理が施される。さらに、変調信号は、固定等化部46で遅延や回線上の振幅成分等を等化され、アテネータ48でレベル調整を行なわれて、D/A変換器28でD/A変換されてから、非ナイキスト伝送方式にて回線上に送信される。

【0038】受信部22では、A/D変換器29でA/D変換されてから、固定等化器52で、遅延や回線上の振幅成分等を等化されたのち、復調部54で、復調処理を施され、ロールオフフィルタ56にてフィルタリング処理を施されたのち、自動利得制御部58で、復調信号のレベルが所定の参照値となるようにループゲインを調整されて、後段の自動等化器60へ入力する受信レベルが自動調整される。

【0039】さらに、自動等化器60では、回線の伝送歪み等を補正するために等化処理が施され、更にキャリア位相補正部62で、キャリア位相が補正されて、硬判定部64Aや軟判定部64Bで、前置の信号判定が行なわれたのち、信号点判定部68Aで、メインデータについての信号点が判定されるとともに、信号点判定部68Bにて、セカンダリデータについての信号点が判定される。

【0040】その後は、メインデータ、セカンダリデータはそれぞれ別々に差分演算処理やデスクランブル処理を施される。これにより、データ圧縮機能を使用しないでも、安定した超高速データ伝送を実現することができ、高い信頼性のモードを提供することができる。さて、次に、上述のような超高速なモードの受信部22に適用される、本発明の要部である自動等化器(EQL)60について、詳細に説明する。

【0041】まず、図5、図6は本発明の一実施例としての自動等化器の構成を示すブロック図であるが、これらの図5、図6に示すように、自動等化器(以下、単に等化器ということがある)60は、入力レベル設定部601、等化器演算部602、タップ係数レベル補正部603及びタップ係数誤差補正部604で構成されている。なお、自動利得制御部(AGC)58は、図4に前述したものと同様のものであり、信号判定部61は、図4における硬判定部64Aと軟判定部64Bからなる前置の信号判定部に相当するものである。なお、605は加算器であり、信号判定部61の入出力信号(データ)を負加算することにより、後述するタップ係数誤差補正部604のための誤差信号(エラー量)を得るものである。

【0042】ここで、入力レベル設定部601は、等化演算部602への入力信号レベルと後述するタップ係数誤差補正部604への入力信号レベルとを異なったレベルに設定するもので、分岐部6010で入力信号を2系統に分岐し、分岐された等化器演算部602への信号についてのレベルに対して、レベル変更部を構成する乗算器6011により $1/X$ (ただし、 $X > 1$)を乗算することにより、入力信号レベルを変更するようになっている。なお、図6においては、乗算器6011により入力信号に対して乗算される値を「 $X = 8$ 」としている。また、6012は加算器であるが、この加算器6012では、入力レベル設定部601の乗算器6011により $1/8$ が乗算された入力信号に対して丸め処理(RN)が施されるようになっている。

【0043】さらに、等化演算部602は、入力レベル設定部601からの入力信号と、タップ係数レベル補正部603からの誤差補正信号とを用いて入力信号に対して等化(演算)を施すもので、図6に示すように、それぞれ63個の遅延部(T)1C~63C、1D~63D、64個のタップ係数乗算部1E~64E及び総和演

算部6021を有して構成されている。

【0044】ここで、遅延部1C~63Cは、入力信号を、順次、時間的に遅延させてタップ係数乗算部1E~63Eへそれぞれ出力するものであり、遅延部1D~63Dは、入力レベル設定部601により分岐された信号レベルが $1/8$ に変更された入力信号に対して、同様に、遅延を施して後述するタップ係数誤差補正部604へ出力するものである。つまり、入力レベル設定部601で分岐されたタップ係数誤差補正部604への信号が、等化演算部601での遅延部1C~63Cによる入力信号の遅延に対応して遅延を施されてタップ係数誤差補正部604へ供給されるようになっている。

【0045】そして、タップ係数乗算部1E~63Eは、遅延部1D~63Dで順次遅延された各入力信号と、後述するタップ係数レベル補正部603からの各誤差補正信号とをそれぞれ乗算するものであり、総和演算部6021は、各タップ係数乗算部1E~64Eで乗算されたデータ全てを加算するものである。なお、タップ係数乗算部604では、入力信号の代わりとしての“ β ”と、タップ係数レベル補正部603からの誤差補正信号とが乗算されるようになっている。

【0046】また、タップ係数レベル補正部603は、等化器60全体のループゲインが1以下となるように、タップ係数誤差補正部604の出力レベルを補正するもので図6に示すように、遅延部(nT)1G~64G、加算器1H~64H、1J~64J及び乗算器1K~64Kで構成されており、タップ係数誤差補正部604の出力と、信号レベルを調整するためのデータ“ALPHA”とが乗算器1K~64Kで乗算され、その出力と遅延部1G~64Gで遅延された過去のデータとが、順次、加算器1J~64Jで加算されることにより積分され、タップ係数誤差補正部604の出力レベルが補正されるようになっている。なお、加算器1H~64Hでは、加算器1J~64Jの出力に対して丸め処理(RN)が施されるようになっている。

【0047】さらに、タップ係数誤差補正部604は、乗算器601により信号レベルが変更される前の入力レベル設定部601からの入力信号と、信号判定部61の入出力を加算器605で負加算(減算)することにより得られる誤差信号とに基づいて、誤差補正信号を等化器演算部602へ出力して等化器演算部602のためのタップ係数についての誤差を補正するものである。

【0048】このため、このタップ係数誤差補正部604は、図6に示すように、遅延部(nT)1L~64L、加算器1M~64M、1N~64N及び乗算器1P~64Pで構成されており、信号判定部61の入出力信号に対して減算を施すことにより得られた誤差信号(図5参照)と、入力レベル設定部601からの入力信号とが乗算器1P~64Pで乗算され、その出力と遅延部1L~64Lで遅延された過去のデータとが、順次、加算

器 1 N～6 4 N で加算されることにより積分され、タップ係数レベル補正部 6 0 3 への誤差補正信号が出力されるようになっている。なお、加算器 1 M～6 4 M でも、加算器 1 J～6 4 J の出力に対して丸め処理 (RN) が施されるようになっている。

【0049】以下、上述のごとく構成された本発明の自動等化器 6 0 の動作について詳述する。まず、自動利得制御部 5 8 (図 5 参照) から出力されるモデムの受信信号が、自動等化器 6 0 に入力されると、この受信信号は、入力レベル設定部 6 0 1 で 2 系統に分岐され、一方はそのままの信号レベルで遅延部 1 C～6 3 C により、順次、遅延されてタップ係数誤差補正部 6 0 4 へ出力され、他方は乗算器 6 0 1 1 で 1/8 が乗算されることにより信号レベルが変更され、加算器 6 0 1 2 で丸め処理が施されてから、それぞれタップ係数乗算部 1 E～6 3 E へ出力される。

【0050】つまり、入力レベル設定部 6 0 1 により入力信号を 2 系統に分岐し、この分岐された等化器演算部 6 0 2 への信号についてのレベルが、乗算器 (レベル変更部) 6 0 1 1 により、確実に、等化器演算部 6 0 2 への入力信号レベルとタップ係数誤差補正部 6 0 4 への入力信号レベルとを異なったレベルに設定することができる。

【0051】従って、等化器演算部 6 0 2 での等化処理とタップ係数誤差補正部 6 0 4 での誤差補正処理とにそれぞれ異なるレベルの信号を用いることにより、各処理を切り分けて行なうことができるので、超高速なモデム (例えば、伝送速度が 28.8 kbps) の受信部 2 2 (図 4 参照) に用いられる、タップ係数が非常に多い等化器 6 0 の場合にも、タップ係数誤差補正部 6 0 4 における誤差補正処理の精度を保つことができる。

【0052】ここで、この図 6 中では、乗算器 6 0 1 1 で 1/8 という値が入力信号に対して乗算されるよう設定されているが、この乗算器 6 0 1 1 での乗算値は、総和演算部 6 0 2 1 の出力、つまり、等化器 6 0 の出力の誤差補正に必要なビット精度 (タップ係数誤差補正部 6 0 4 への入力信号 E R R, E R I の必要ビット数) を確保しように設定されており、その結果、より精度の高い誤差補正を施すことができるようになっている。

【0053】すなわち、図 7 に示すように、等化器 6 0 には、その平均入力レベルに対して S/N 比、ビット精度、等化器 6 0 の出力のピーク値などが最適な値となるレベル信号が存在するので、これに基づいて、誤差補正信号を得るのに適した (エラー積分用) 信号レベル (例えば、「-15 ± 1 dB」) と、総和演算部 6 0 2 1 での演算に適した (EQL Σ 出力計算用) 信号レベル (例えば、「-33 ± 1 dB」) とが、それぞれタップ係数誤差補正部 6 0 4 と総和演算部 6 0 2 1 (乗算器 1 E～6 3 E) への入力信号となるように、入力レベル設定部 6 0 1 の乗算器 6 0 1 1 の乗算値 (1/8) が

設定されているのである。

【0054】なお、この図 7 において、最低必要な受信信号の S/N 比は、通常のアイパターーン劣化 (EYE 劣化) を 25% と考えると、 $60.20 - 8.64 = 51.56 \text{ dB}$ 、すなわち、約 52 dB 以上となる。また総和演算部 (Σ) 6 0 2 1 の出力のピーク値は、等化器 6 0 のセンタタップ (本実施例では、タップ係数乗算部 3 2 E) の乗算値を 1.04、タップ数を 6 3 タップとすると、総和演算部 6 0 2 1 の出力のピーク値は、入力信号のピーク値の 16 倍 ($1.04 \times 63/2/2 = 16.38$) まで余裕を見れば十分であることが実験的にわかっているので、平均入力レベルの 16×4 倍 (ピークファクター 12 dB) した値が 2.00 を越えなければ良いことがわかる。

【0055】従って、タップ係数の値が異常成長したとしても、各タップ値は 2.00 を越えないことになる。また、万一、各タップ係数の値が、2.00 となった場合でも、等化出力である総和演算部 6 0 2 1 の出力値は、 $1.43 \times 2 = 2.86 < 4.0$ であるため、システム上の問題はない。なお、従来は、図 1 1 にて前述したように、等化器 6 0 への入力信号が一系統であったため、このような設定が不可能であることは容易にわかる。

【0056】さて、その後、このように、入力レベル設定部 6 0 1 (乗算器 6 0 1 1) で、入力信号レベル ($-15 \pm 1 \text{ dB}$) とは異なる信号レベル ($-33 \pm 1 \text{ dB}$) に変更された信号は、各遅延部 1 D～6 3 D で遅延が施されてタップ係数乗算部 1 E～6 3 E へ出力され、各タップ係数乗算部 1 E～6 3 E で、タップ係数レベル補正部 6 0 3 からの各出力と乗算された後、総和演算部 6 0 2 1 で各タップ係数乗算部 1 E～6 3 E の出力全てが加算される。

【0057】その後、総和演算部 6 0 2 1 は、乗算器 6 0 2 2 で乗算 [$2 (\text{ASL}) \times 4$ 、つまり、 2^4 が乗算] され、加算器 6 0 2 3 で丸め処理 (RN) が施されて等化信号が信号判定部 6 1 (図 5 参照) へ出力される。なお、このとき、タップ係数乗算部 6 4 E では、入力信号の代わりに ' $\beta = 00020 + j0$ ' なるデータと、タップ係数レベル補正部 6 0 3 の出力 (データ) とを乗算して、このデータを総和演算部 6 0 2 1 へ入力することにより、等化器 6 0 における誤差補正に必要なビット精度を補償している。また、このタップ係数レベル補正部 6 0 3 からタップ係数乗算部 6 4 E へのデータには、タップ係数誤差補正部 6 0 4 において、入力信号 (A G R, A G I) の代わりに、「 $\gamma = 010000 + j0$ 」なるデータを乗算器 6 4 P で誤差信号 (E R R, E R I) と乗算することにより、タップ係数の誤差を直流補正した後のデータが用いられる。 $"000020"$, $"010000"$ は、演算誤差に相当する値である。

【0058】ところで、上述の各タップ係数乗算部 1 E～6 4 E で入力信号と乗算されるタップ係数レベル補正部 6 0 3 の出力信号は、等化器 6 0 (総和演算部 6 0 2

1) の出力から信号判定部 6 1 (図 5 参照) を介して得られる誤差信号 (エラー: E R R, E R I) を、タップ係数誤差補正部 6 0 4 へフィードバックさせることにより得られる。

【0 0 5 9】ここで、本実施例のように、伝送速度が例えば 28.8 k b p s という超高速モードの受信部 2 2 (図 4 参照) に等化器 6 0 が用いられる場合、図 8 に示すように、伝送速度が 9.6 k b p s 又は 14.4 k b p s などの一般的なモードに比べて、アイパター上の信号点数が非常に多くなるので、各信号点の間隔が小さくなる (この図 8 においては、0.015625)。

【0 0 6 0】この結果、誤差信号 (E R R, E R I) に必要なビット数がこれに応じて増加するのだが、具体的には、雑音の平均レベルを "N"、雑音のピークファクターを 12dB とすると、 $N=0.015625/4(25\%)/4(12dB)=0.009765625(-60.20dBm)$ となるので (ただし、"25%" はアイパター劣化の目標値を指す)、誤差信号 (E R R, E R I) の必要ビット数 n は、 $2/0.0009765625 \times 2=40.96$ 、つまり 12 b i t となる。従って、誤差信号 (E R R, E R I) は、タップ係数誤差補正部 6 0 4 へフィードバックされるまで、この 12 b i t というビット精度を維持しておく必要がある。

【0 0 6 1】さて次に、図 6 に示すように、この誤差信号 (E R R, E R I) が、タップ係数誤差補正部 6 0 4 へフィードバックされると、タップ係数誤差補正部 6 0 4 では、入力レベル設定部 6 0 1 で分岐された入力信号のうち、信号レベルが変更されずに、そのまま遅延部 1 C ~ 6 3 C で順次遅延された各信号と、誤差信号 (E R R, E R I) とが各乗算器 1 P ~ 6 3 P でそれぞれ乗算され、その出力と遅延部 1 L ~ 6 4 L で遅延された過去のデータとが、順次、加算器 1 N ~ 6 4 N で加算されて積分されることにより、タップ係数レベル補正部 6 0 3 へ等化演算部 6 0 2 の各タップ係数乗算部 1 E ~ 6 3 E のための誤差補正信号が得られる。

【0 0 6 2】そして、タップ係数レベル補正部 6 0 3 では、このタップ係数誤差補正部 6 0 4 からの誤差補正信号と、等化器 6 0 のループゲインが 1 以下となるよう制御するためのデータ "ALPHA" とが乗算器 1 K ~ 6 4 K で乗算され、その出力と遅延部 1 G ~ 6 4 G で遅延された過去のデータとが、順次、加算器 1 J ~ 6 4 J で加算されて積分されることにより、等化器演算部 6 0 2 の各タップ係数乗算部 1 E ~ 6 3 E への出力レベルが、等化器 6 0 のループゲインが 1 以下となるよう補正される。

【0 0 6 3】そして、このタップ係数レベル補正部 6 0 3 でレベル補正された誤差補正信号が、等化器演算部 6 0 2 のタップ係数乗算部 1 E ~ 6 3 E へ出力されることにより、等化器 6 0 のループゲインが 1 以下に保たれてしま、等化器演算部 6 0 2 での各タップ係数が最適な値に補正される。従って、等化器 6 0 におけるタップ係数がオーバーフローすることなく精度の高い等化出力を得

ることができる。

【0 0 6 4】ここで、上述の信号レベルを調整するためのデータ "ALPHA" の求め方について、図 9 及び図 10 を用いて、以下に述べる。なお、図 9 において、図 6 中の符号と同一の符号は同一部分を指す。まず、図 9 に示すように、遅延部 1 C 及び遅延部 1 D への入力を、それぞれ "E"、"X"、信号判定部 6 1 による判定後のエラー (誤差) 量を、例えば、 $\Delta E=1.0$ と仮定すると、タップ係数レベル補正部 6 0 3 の各乗算器 1 K ~ 6 4 K からのタップ係数の増分 ΔC は、

$$\begin{aligned} \Delta C &= \Delta E \times 2^Q \times E \times m \times \text{ALPHA} \\ &= 2^Q \times E^* \times m \times \text{ALPHA} \quad \dots \dots \quad (1) \end{aligned}$$

となる。ただし、 m はシンボル平均化のシンボル数を表し、本実施例では、64 タップ補正の 5 シンボル平均化を行なうので、 $m=5$ である。

【0 0 6 5】すると、このときの総和演算部 6 0 2 1 の出力増分 $\Delta \Sigma$ は、等化器のタップ数を n とすると、

$$\begin{aligned} \Delta \Sigma &= \sum \Delta C \times X = n \Delta C \times X \\ &= n \times 2^Q \times E \times m \times \text{ALPHA} \times X \\ &= n \times 2^Q \times E \times m \times \text{ALPHA} \times E/8 \quad (\because X=E/8) \\ &= n \times 2^Q \times E^2 \times m \times \text{ALPHA}/8 \\ &= n \times 2^Q \times m \times \text{ALPHA}/8 \times E^2 \quad \dots \dots \quad (2) \end{aligned}$$

と表すことができる。

【0 0 6 6】従って、信号判定部 6 1 への入力増分 $\$$ は、

$$\begin{aligned} \$ &= \Delta \Sigma \times 16 = 16 \times n \times 2^Q \times m \times \text{ALPHA}/8 \times E^2 \\ &= 2nm \times 2^Q \times \text{ALPHA} \times E^2 \quad \dots \dots \quad (3) \end{aligned}$$

となることがわかる。そして、このとき、"ALPHA" の値は、図 10 に示すような、2 乗演算部 6 0 3 1、乗算器 6 0 3 2 ~ 6 0 3 5、加算器 6 0 3 6 ~ 6 0 3 9、リミッタ (LM) 6 0 4 0 及び遅延部 (T, CTEQL) 6 0 4 1 で構成される回路により、等化器 6 0 への入力信号 (AGR, AGI) に基づいて決定されるようになっている。すなわち、入力信号レベル "−15 dBm" の絶対値を 2 乗した値 $(-15 dBm)^2 = (10^{-15/20})^2 = 0.031622776$ を、加算器 6 0 3 6 への参照信号 (Ref) として用い、遅延部 (T) 6 0 4 1 の入力値を "X"、出力値を "CTEQL" とすると、

$$X^2 \cdot \text{CTEQL} = 0.031622776 \quad \dots \dots \quad (4)$$

となる。従って、乗算器 6 0 3 4 で乗算される "α"、及び乗算器 6 0 3 5 で乗算される "ALP1" を考慮に入れると、"ALPHA" は、

$$\begin{aligned} \text{ALPHA} &= \text{CTEQL} \times 0.5 \times \text{ALP1} \\ &= 0.031622776/E^2 \times 1/2 \times \text{ALP1} \quad \dots \dots \quad (5) \end{aligned}$$

と表すことができる。

【0 0 6 7】ここで、等化器 6 0 のループゲインは、"1" 以下である必要があるので、例えば、ループゲインを 1.00 とすると、信号判定部 6 1 への入力増分 $\$$ が "1" となればよく、

$$\$ = 2nm \times 2^Q \times 0.031622776 \times 1/2 \times \text{ALP1}$$

$$= nm \times 2^Q \times 0.031622776 \times ALP1 \\ = 1 \quad \dots \dots \dots \quad (6)$$

となり、この結果、

$$ALP1 = 1 / nm \times 2^Q \times 0.031622776 \quad \dots \dots \quad (7)$$

となる。そして、この式(7)と式(5)とによって、等化器60のループゲインが1以下となるように、タップ係数誤差補正部604の出力レベルを補正するための"ALPHA"が得られる。つまり、式(5)及び式(7)から分かるように、この場合、タップ係数レベル補正部603は、等化器60への入力信号(AGR, AGI)に基づき、且つ、等化器60のタップ数を考慮して、タップ係数誤差補正部604の出力レベルを補正するようになっているのである。なお、6040は、リミッターであり、信号レベルの絶対値をとっている。

【0068】このように、例えば、伝送速度が28.8kbpsという超高速なモードの受信部22(図4参照)に用いるために等化器60のタップ数が増加しても、高い精度を保ったまま、確実に、等化器60におけるタップ係数の誤差補正を行なうことができ、正確な等化信号が得られるようになる。なお、本実施例で述べた自動等化器60は、例えば、伝送速度が28.8kbpsという超高速モードに用いることを想定しているが、もちろん、他のデータ伝送装置に用いた場合も、本実施例と同様の作用効果が得られる。従って、本実施例における自動等化器60を、非ナイキスト伝送方式のモードではなく、ナイキスト伝送方式のモードに適用した場合も、本実施例と同様に、高精度な等化信号が得られる。

【0069】

【発明の効果】以上詳述したように、本発明の自動等化器によれば、等化演算部により入力信号に対して等化を施す際、等化演算部への入力信号レベルとタップ係数誤差補正部への入力信号レベルとを異なったレベルに設定し、この等化器への入力信号とは異なるレベルに設定された信号と等化器出力とに基づいて、等化演算部のためのタップ係数についての誤差を補正することができる。等化演算部での等化処理とタップ係数誤差補正部での誤差補正処理とにそれぞれ異なるレベルの信号を用いて、各処理を切り分けて行なうことができ、等化器のタップ数が増加しても、タップ係数誤差補正部における誤差補正処理の精度を保つことができる(請求項1)。

【0070】そして、具体的に、入力レベル設定部では、分岐部により入力信号が2系統に分岐され、この分岐部で分岐された等化演算部への信号についてのレベルが、レベル変更部により変更されるので、確実に、等化演算部への入力信号レベルとタップ係数誤差補正部への入力信号レベルとを異なったレベルに設定することができる(請求項2)。

【0071】また、このとき等化器出力の誤差補正に必要なビット精度を確保しうるよう、等化演算部への信号についてのレベルが変更されるため、より精度の高い

誤差補正を施すことができるようになる(請求項3)。さらに、入力レベル設定部における分岐部で分岐されたタップ係数誤差補正部への信号は、等化演算部での遅延に対応して遅延が施されてタップ係数誤差補正部へ供給されることにより、タップ係数誤差補正部での2つの信号の入力タイミングが合わせられるので、タップ係数誤差補正部における誤差補正をより確実に行なうことができる(請求項4)。

【0072】さらに、このとき、タップ係数レベル補正部により、等化器のループゲインが1以下となるように、タップ係数誤差補正部の出力レベルを補正することができるので、等化器におけるタップ係数がオーバーフローすることなく精度の高い等化器出力を得ることができる(請求項5)。また、この場合、等化器への入力信号に基づき、且つ、等化器のタップ数を考慮して、タップ係数誤差補正部の出力レベルを補正することができるので、等化器のタップ数が増加しても、高い精度を保ったまま、確実にタップ係数の誤差補正を行なうことができる(請求項6)。

【図面の簡単な説明】

【図1】本発明の原理ブロック図である。

【図2】本発明の一実施例にかかるオンラインシステムのブロック図である。

【図3】本発明の一実施例の要部を示すブロック図である。

【図4】本発明の一実施例の要部を詳細に示すブロック図である。

【図5】本発明の一実施例としての自動等化器の構成を示すブロック図である。

【図6】本実施例の自動等化器の詳細構成を示すブロック図である。

【図7】本実施例の自動等化器への最適入力レベルを説明するための図である。

【図8】本実施例の自動等化器におけるアイパター上の信号点の一例を示す図である。

【図9】本実施例の自動等化器の動作を説明するための図である。

【図10】本実施例の自動等化器の動作を説明するための図である。

【図11】従来の自動等化器の構成を示すブロック図である。

【符号の説明】

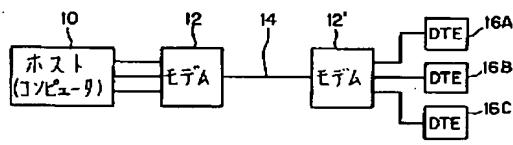
- 1 等化演算部
- 2 タップ係数誤差補正部
- 3 入力レベル設定部
- 4 タップ係数レベル補正部
- 10 ホスト(コンピュータ)
- 12, 12' モデム
- 14 アナログ回線
- 16A~16D 端末

2 0 変調機能付き送信部
 2 2 復調機能付き受信部
 2 4 マイクロプロセッサユニット (M P U)
 2 6 デジタルシグナルプロセッサ (D S P)
 2 8 D/A変換器
 2 9 A/D変換器
 3 0 シリアル/パラレル変換器
 3 2 A, 3 2 B スクランbler
 3 4 A, 3 4 B 和分演算部
 3 6 トレリスコード変調部
 3 8 A, 3 8 B 信号点発生部
 4 0 フレーム回転部
 4 2 ロールオフフィルタ
 4 4 変調部
 4 6 固定等化部
 4 8 アテネータ (A T T)
 5 2 固定等化器
 5 4 復調部
 5 6 ロールオフフィルタ
 5 8 自動利得制御部 (A G C)
 6 0 自動等化器 (E Q L)
 6 1 信号判定部
 6 2 キャリア位相補正部 (C A P C)
 6 4 A 硬判定部
 6 4 B 軟判定部
 6 6 フレーム逆回転部
 6 8 A, 6 8 B 信号点判定部

7 0 A, 7 0 B 差分演算部
 7 2 A, 7 2 B デスクランbler
 8 0 キャリア検出部 (C D)
 8 2 トレーニングデータ検出部 (T R G)
 8 4 インパルス再生部
 8 4 A インパルス検出部
 8 6 タイミング抽出部
 8 8 タイミングロック部
 9 0 シーケンサ
 1 C ~ 6 3 C, 1 D ~ 6 3 D, 1 G ~ 6 4 G, 1 L ~ 6
 4 L 遅延部 (T, n T)
 1 H ~ 6 4 H, 1 J ~ 6 4 J, 1 M ~ 6 4 M, 1 N ~ 6
 4 N, 6 0 5, 6 0 2 3, 6 0 3 6 ~ 6 0 3 9 加算器
 1 E ~ 6 4 E タップ係数乗算部
 1 K ~ 6 4 K, 1 P ~ 6 4 P, 6 0 2 2, 6 0 3 2 ~ 6
 0 3 5 乗算器
 6 0 1 入力レベル設定部
 6 0 2 等化器演算部
 6 0 3 タップ係数レベル補正部
 6 0 4 タップ係数誤差補正部
 6 0 1 0 分岐部
 6 0 1 1 乗算器 (レベル変更部)
 6 0 2 1 総和演算部
 6 0 3 1 2 乗演算部
 6 0 4 0 リミッター (L M)
 6 0 4 1 遅延部 (T, C T E Q L)

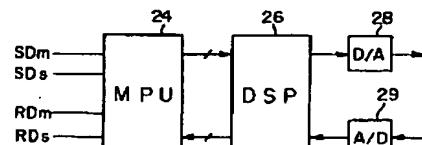
【図2】

本発明の一実施例におけるオンラインシステムのブロック図

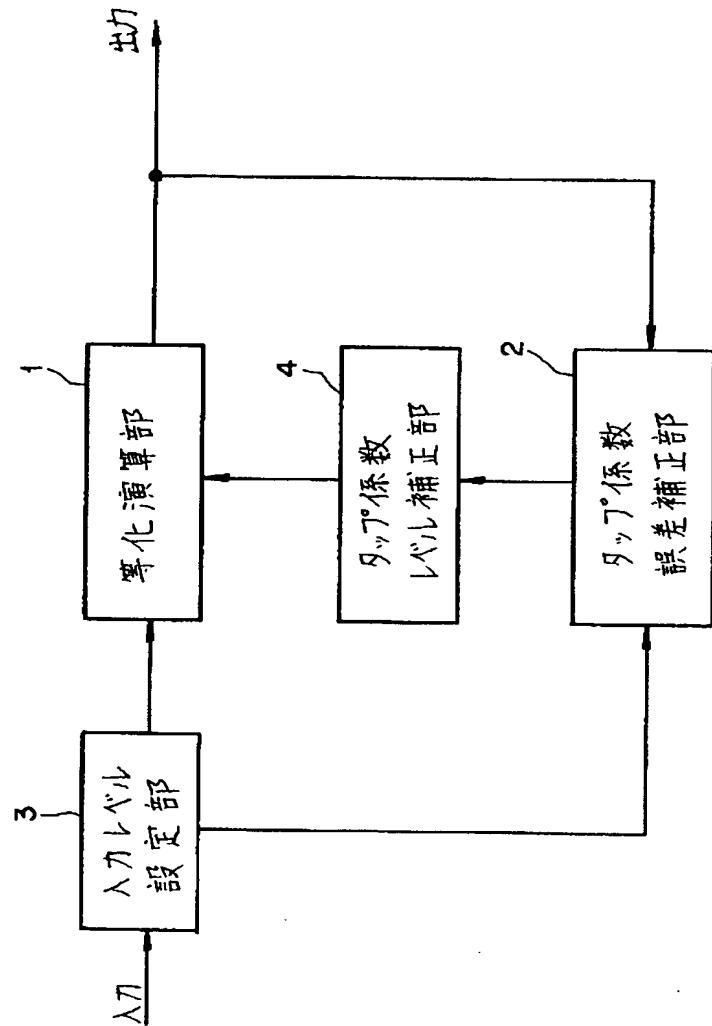


【図3】

本発明の一実施例の要部を示すブロック図

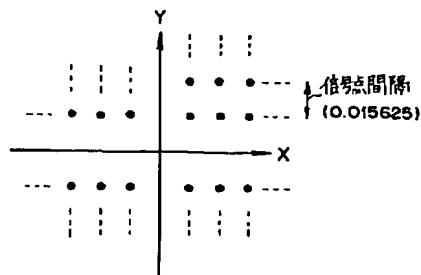


【図1】



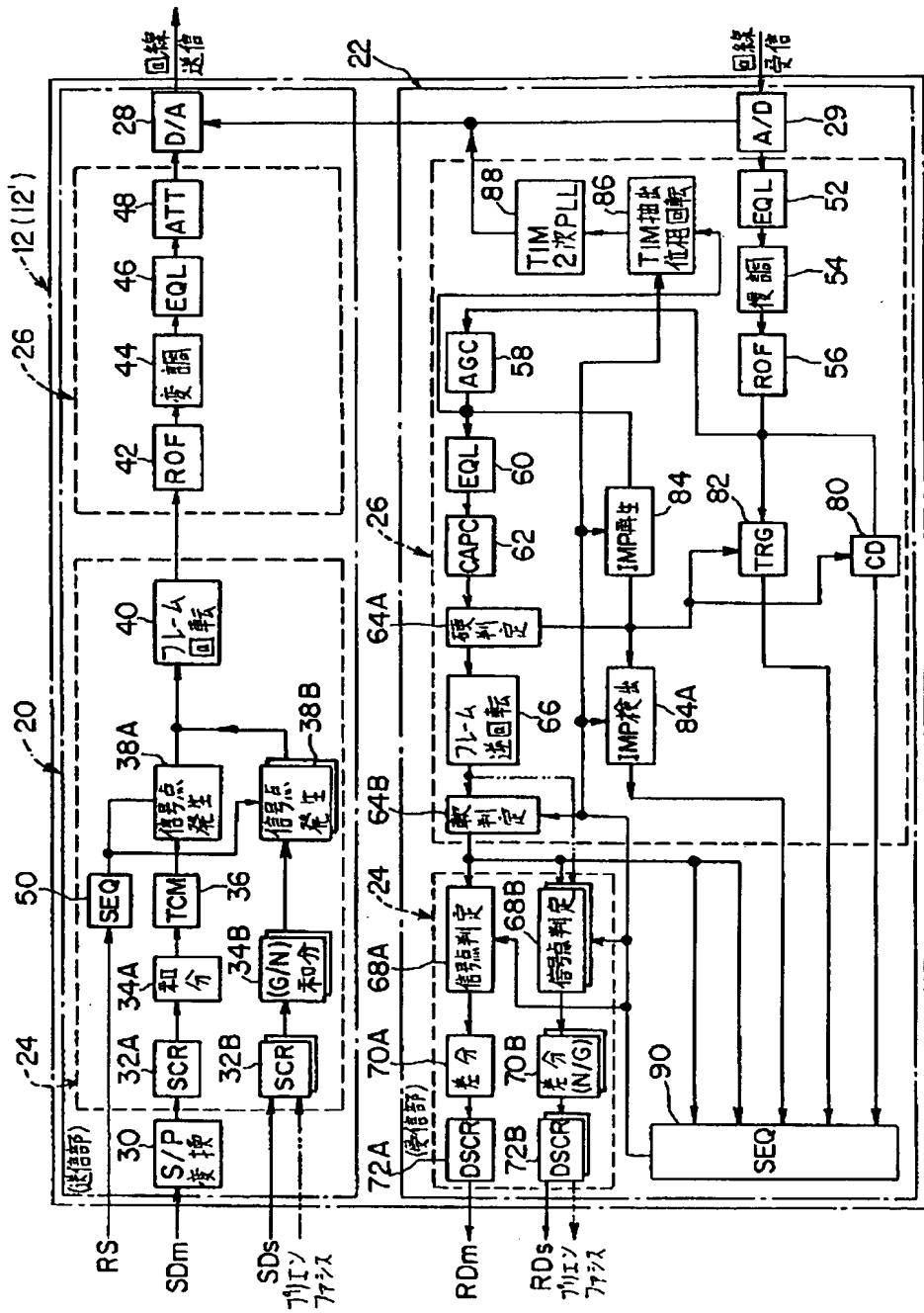
【図8】

本実施例の自動等化器におけるアイペルン上の信号点の一例を示す図



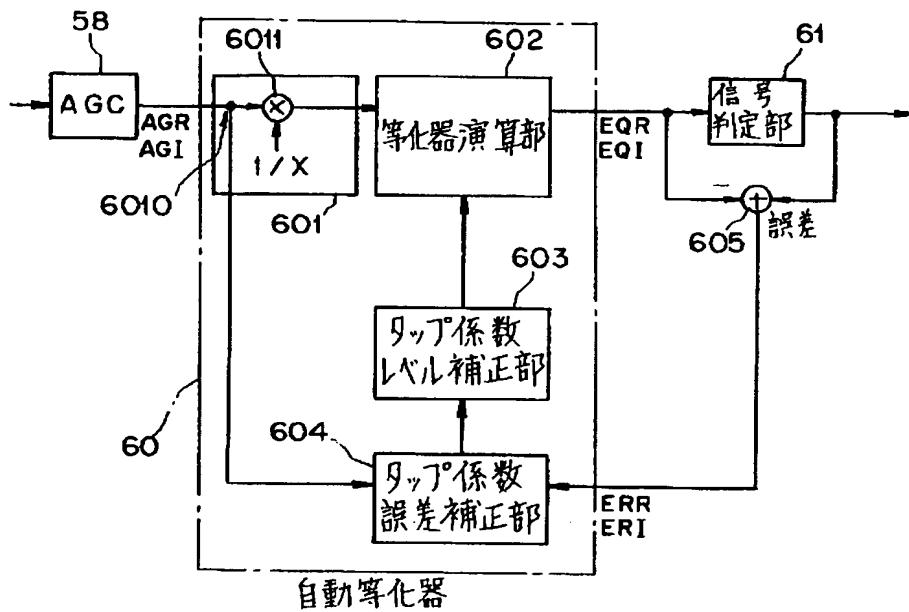
【图4】

本発明の一実施例の要部を詳細に示すブロッキ図



【図5】

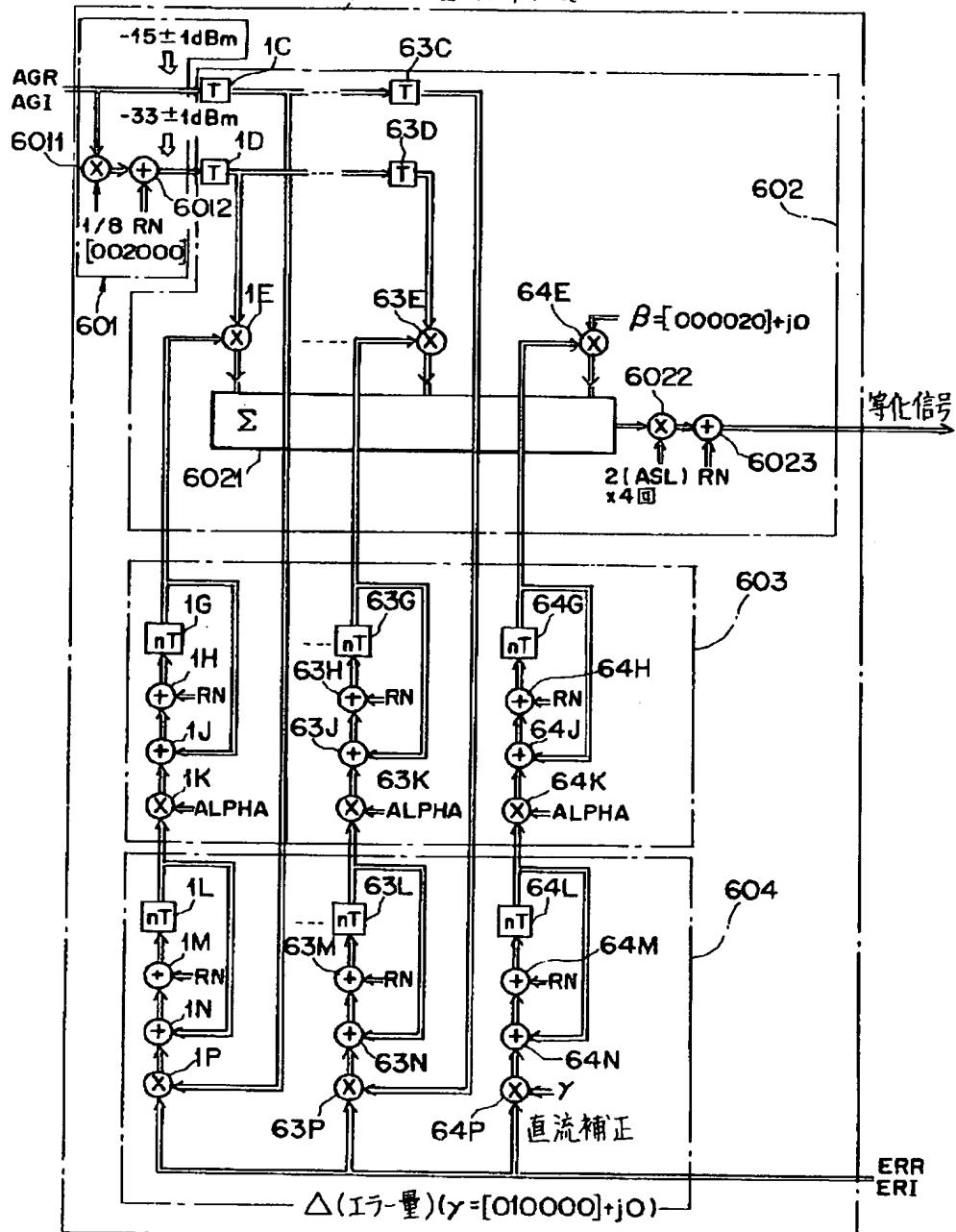
本発明の一実施例としての自動等化器の構成を示すブロック図



【図6】

本実施例の自動等化器の詳細構成を示すブロック図

60:自動等化器



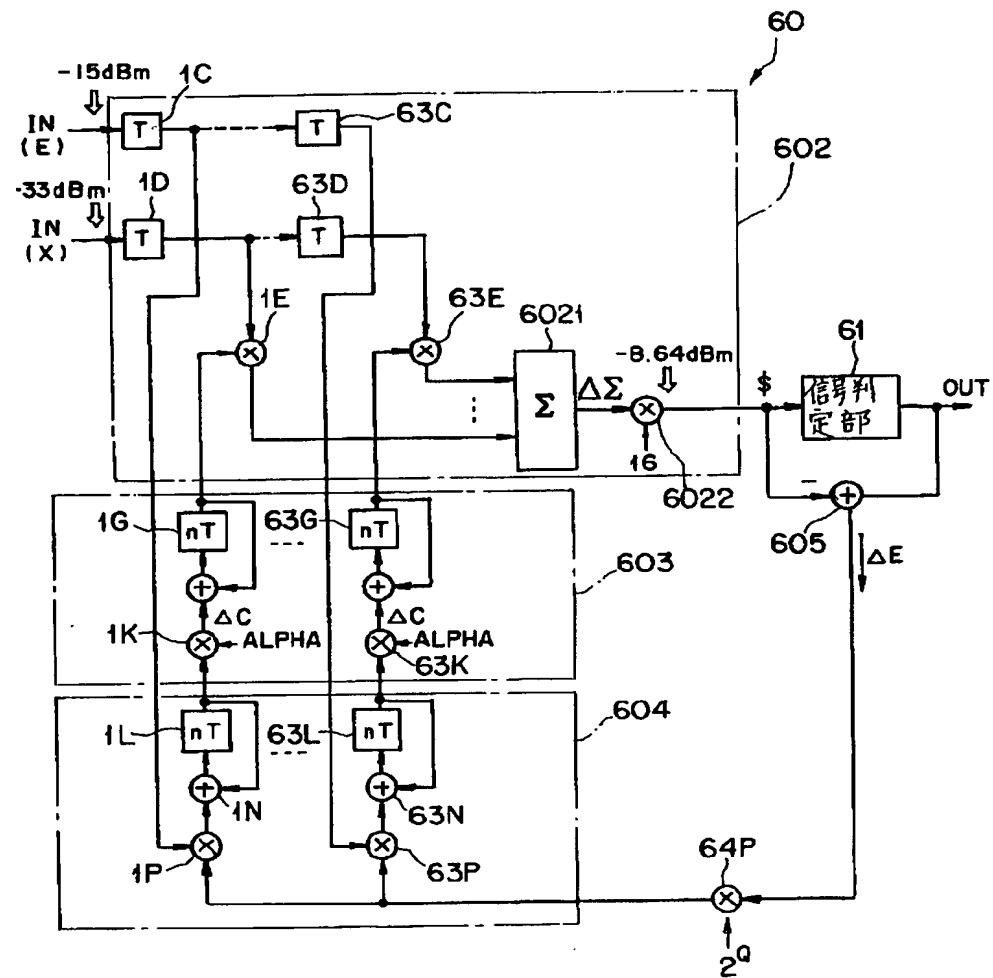
【図7】

本実施例の自動算化器への最適入力レベルを説明するための図

平均入力 dBm	平均入力 レベル	受信信号 S/N	ビット精度 1L~64L	Σ 比値	EQL-9dBm ASL 倍数	総合判断
-9dBm	0.354813	○ 87dB	○ 16.5	× 2.3	○ * 0	→ I ₇ -積分用に使用
-15dBm	0.177828	○ 81dB	○ 15.5	× 1.1	○ * 1.0	
-21dBm	0.089125	○ 75dB	○ 14.5	× 6	○ * 2.0	
-27dBm	0.044668	○ 69dB	○ 13.5	○ 3	○ * 3.0	→ EQL Σ 力計算用
-33dBm	0.022387	○ 63dB	○ 12.5	○ 1.43	○ * 4.0	
-39dBm	0.011220	○ 57dB	× 11.5	○ 0.71	○ * 5.0	
-45dBm	5.6234 ⁻³	× 51dB	× 10.5	○ 0.36	○ * 6.0	

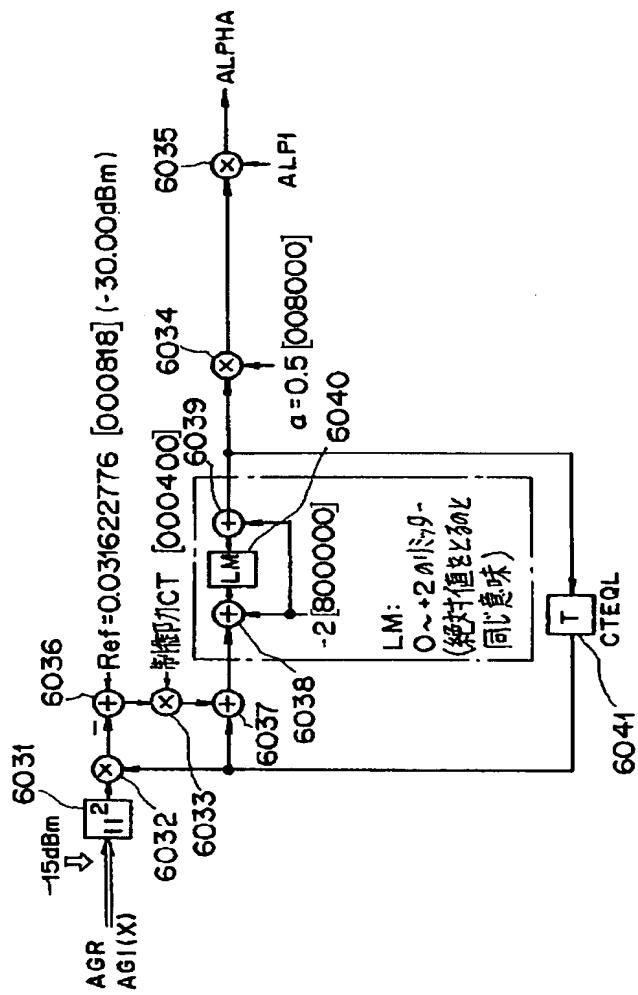
【图9】

本実施例の自動等化器の動作を説明するための図



【図10】

本実施例の自動等化器の動作を説明するための図



【図11】

従来の自動等化器の構成を示すブロック図

